

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-046142

(43)Date of publication of application : 16.02.1996

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/8238
H01L 27/092
H01L 29/786

(21)Application number : 06-183689

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 04.08.1994

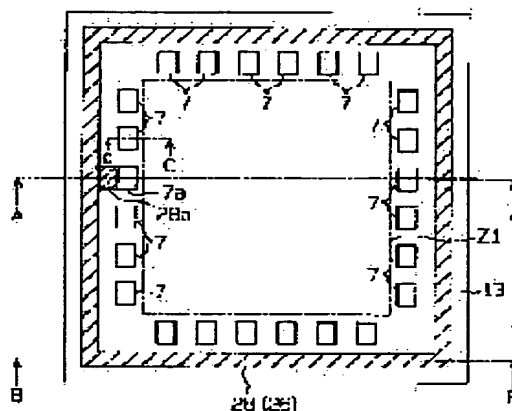
(72)Inventor : SHIOTANI TAKESHI
TANAKA HIROAKI
TSURUTA KAZUHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor integrated circuit device in which the characteristics can be arranged for each MOSFET constituting each protective circuit.

CONSTITUTION: An SOI layer is formed on a P-type single crystal silicon substrate 13 through a silicon oxide and an inner circuit is formed therein. A protective circuit is provided between the inner circuit and each input pad 7 where the protective circuit comprises a protective resistor and an N-channel MOSFET formed on the P-type single crystal silicon substrate 13. A P+ impurity diffusion region 26 is extended around the N-channel MOSFET forming region of each protective circuit in the P-type single crystal silicon substrate 13. The P+ impurity diffusion region 26 is connected with a metal wiring formed thereon and the metal wiring 28 is connected with a bonding pad 7a for ground terminal thus setting the impurity diffusion region 26 at the ground potential.



LEGAL STATUS

[Date of request for examination] 17.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3271435

[Date of registration] 25.01.2002

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-46142

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04
21/822
21/8238

H 0 1 L 27/ 04

H

27/ 08

3 2 1 H

審査請求 未請求 請求項の数3 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平6-183689

(22) 出願日

平成6年(1994)8月4日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 塩谷 武司

愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内

(72) 発明者 田中 裕章

愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内

(72) 発明者 鶴田 和弘

愛知県刈谷市昭和町1丁目1番地 日本電装 株式会社内

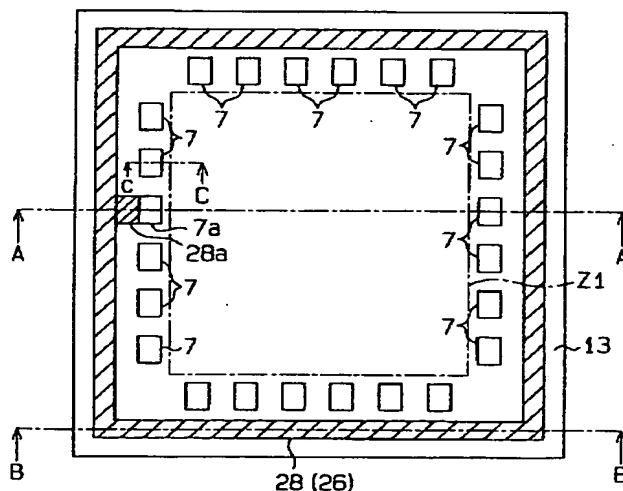
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 各保護回路を構成する各MOSFETの特性を揃えることが可能となる半導体集積回路装置を提供することにある。

【構成】 P型単結晶シリコン基板13上にシリコン酸化膜を介してSOI層が形成され、このSOI層に内部回路が形成されている。内部回路と各入力パッド7との間には、保護回路がそれぞれ設けられ、保護回路は保護抵抗とNチャネルMOSFETからなり、NチャネルMOSFETはP型単結晶シリコン基板13に形成されている。P型単結晶シリコン基板13における各保護回路のNチャネルMOSFETの形成領域Z1の周囲にはP⁺不純物拡散領域26が延設され、このP⁺不純物拡散領域26はその上の金属配線28と接続され、さらに、金属配線28は接地端子用ボンディングパッド7aと接続され、不純物拡散領域26が接地電位となっている。



【特許請求の範囲】

【請求項1】 半導体基板上の絶縁体層を介した半導体層に形成された半導体集積回路と、前記半導体集積回路と外部とを電気的に接続するための複数の外部接続端子と、前記半導体集積回路と各外部接続端子との間にそれぞれ設けられ、前記半導体基板に形成されたMOSFETを含んだ保護回路とを備えた半導体集積回路装置において、前記半導体基板における前記各保護回路のMOSFETに接近した位置まで不純物拡散領域を延設し、この不純物拡散領域を所定電位にしたことを特徴とする半導体集積回路装置。

【請求項2】 請求項1に記載の半導体集積回路装置において、前記不純物拡散領域を、半導体基板における前記各保護回路のMOSFETの形成領域の周囲に延設したことを特徴とする半導体集積回路装置。

【請求項3】 請求項1に記載の半導体集積回路装置において、前記不純物拡散領域を、前記半導体基板の外周部に延設したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は、SOI構造を有し、かつ、半導体集積回路を静電気等から保護するための保護回路を備えた半導体集積回路装置に関するものである。

【0002】

【従来の技術】 従来、SOI技術とは半導体基板上に形成された絶縁体層上に半導体層を形成し、その半導体層に半導体集積回路素子を形成するものである。又、このSOI構造を有する半導体集積回路素子に対し静電気等によって発生する大電流から保護するために保護回路が備えられる。この保護回路は大電流を逃がすためのトランジスタ等の保護回路用素子を有し、当該素子は絶縁体層上の半導体層に形成されてきた。しかし、大電流を逃がす経路を横方向にしか形成することができないために半導体集積回路素子が破壊されやすかった。そのため、保護回路用素子は静電気等によって発生する大電流を逃がすべく半導体基板に形成されるようになった。その一例が、特開平4-345064号公報にて示されている。これは、図6に示すように、入力用のボンディングパッド31と内部回路32との間に保護回路33が設けられ、この保護回路33は保護抵抗34と保護用MOSFET35とからなる。又、この保護用MOSFET35は図7に示すように、半導体基板36にソース・ドレイン領域37を有し半導体層38にてゲート電極を形成したものである。

【0003】 この保護回路33は、図8に示すように、複数のボンディングパッド31毎にそれぞれ設けられる。又、図8に示すように、半導体基板36に形成され

た保護用MOSFET35に対する基板電位用パッド39は、半導体基板36（チップ）のある特定の場所に形成され、この基板電位用パッド39の直下において同パッド39と半導体基板36とが電気的に接続され、半導体基板36が接地電位にされる。

【0004】

【発明が解決しようとする課題】 ところが、保護用MOSFET35のソース・ドレイン直下の半導体基板領域の電位は、保護用MOSFET35と基板電位用パッド39との間の距離が保護用MOSFET35毎に異なっているため、図9に示すように、保護用MOSFET35毎に基板抵抗（ R_1 , R_2 , R_3 , ...）分だけ電圧低下が起きている。その結果、保護用MOSFET35毎に基板電位が違うことから保護用MOSFET35に流れる電流量も違うため破壊耐量値も異なってくる問題が生じている。

【0005】 そこで、この発明の目的は、各保護回路を構成する各MOSFETの特性を揃えることが可能となる半導体集積回路装置を提供することにある。

【0006】

【課題を解決するための手段】 請求項1に記載の発明は、半導体基板上の絶縁体層を介した半導体層に形成された半導体集積回路と、前記半導体集積回路と外部とを電気的に接続するための複数の外部接続端子と、前記半導体集積回路と各外部接続端子との間にそれぞれ設けられ、前記半導体基板に形成されたMOSFETを含んだ保護回路とを備えた半導体集積回路装置において、前記半導体基板における前記各保護回路のMOSFETに接近した位置まで不純物拡散領域を延設し、この不純物拡散領域を所定電位にした半導体集積回路装置をその要旨とする。

【0007】 請求項2に記載の発明は、請求項1に記載の半導体集積回路装置における前記不純物拡散領域を、半導体基板における前記各保護回路のMOSFETの形成領域の周囲に延設した半導体集積回路装置をその要旨とする。

【0008】 請求項3に記載の発明は、請求項1に記載の半導体集積回路装置における前記不純物拡散領域を、前記半導体基板の外周部に延設した半導体集積回路装置をその要旨とする。

【0009】

【作用】 請求項1に記載の発明によれば、半導体基板における各保護回路のMOSFETに接近した位置まで不純物拡散領域が延設され、この不純物拡散領域が所定電位にされる。その結果、各MOSFETと不純物拡散領域（即ち、基板電位用配線）との間の距離の均等化が図られ、各MOSFETのソース・ドレイン直下の半導体基板領域の電位も均等化が図られる。よって、各MOSFETの破壊耐量値等の特性も均等化される。

【0010】 請求項2に記載の発明によれば、半導体基

板における各保護回路のMOSFETの形成領域の周囲に不純物拡散領域が延設され、この不純物拡散領域が所定電位にされる。その結果、各MOSFETと不純物拡散領域（即ち、基板電位用配線）との間の距離の均等化が図られ、各MOSFETのソース・ドレイン直下の半導体基板領域の電位も均等化が図られる。よって、各MOSFETの破壊耐量値等の特性も均等化される。

【0011】請求項3に記載の発明によれば、請求項1に記載の発明の作用に加え、不純物拡散領域が、本来、不使用部分である半導体基板の外周部に延設され、不純物拡散領域が容易に配置される。

【0012】

【実施例】以下、この発明を具体化した一実施例を図面に従って説明する。図5には半導体集積回路装置の電氣的構成を示す。

【0013】半導体集積回路装置における半導体集積回路としての内部回路1には、その各入力段にインバータ2が用いられている。この各インバータ2はそれぞれ、PチャネルMOSFET3とNチャネルMOSFET4とからなる。又、インバータ2のPチャネルMOSFET3のソース電極には電源端子（V_{DD}）5が接続され、NチャネルMOSFET4のソース電極には接地端子（V_{SS}）6が接続されている。電源端子5には電源電圧V_{DD}として、例えば、3ボルトが印加されるようになっている。インバータ2の入力端子と、外部接続端子である入力パッド（ボンディングパッド）7との間には、保護回路8が配置されている。保護回路8は、保護抵抗9と、NチャネルMOSFET10とから構成されている。つまり、入力パッド7とインバータ2の入力端子とを結ぶ接続線11の途中に保護抵抗9が配置されている。又、接続線11と接地端子（V_{SS}）12との間にNチャネルMOSFET10が配置され、NチャネルMOSFET10のゲート端子は接続線11と接続されている。

【0014】尚、内部回路（半導体集積回路）1の入力段としてインバータ以外にも各種回路が使用できるとともに、内部回路（半導体集積回路）1には各種の回路（素子）を含んでいることは言うまでもない。

【0015】図1には半導体集積回路装置（チップ）の平面図を示す。図2には図1のA-A断面を、図3には図1のB-B断面を、図4には図1のC-C断面を示す。尚、同図において、図5での保護抵抗9等は省略している。

【0016】図1に示すように、半導体集積回路装置（チップ）の中央部分は内部回路1および各保護回路8のNチャネルMOSFET10の形成領域Z1となり、その周辺部に前述の各入力パッド（ボンディングパッド）7が配置されている。このパッド7には接地端子用ボンディングパッド（基板電位用パッド）7aが含まれている。

【0017】図4においては、複数の入力パッド（ボンディングパッド）7のうちの一つについて示すものであり、他の入力パッド（ボンディングパッド）7についても同様の構成となっている。

【0018】図4に示すように、半導体基板としてのP型単結晶シリコン基板13上には絶縁体層としてのシリコン酸化膜14が形成され、そのシリコン酸化膜14の上に半導体層としての単結晶シリコン層（以下、SOI層という）15、16、17が配置されている。SOI層15にはゲート酸化膜18を介してポリシリコンゲート電極19が形成され、NチャネルMOSFET4が構成されている。又、SOI層16にはゲート酸化膜20を介してポリシリコンゲート電極21が形成され、PチャネルMOSFET3が構成されている。この両MOSFET3、4にて、前述したインバータ2が構成されている。

【0019】又、SOI層17の両側におけるP型単結晶シリコン基板13にはN型のソース領域22およびN型のドレイン領域23が形成されている。そして、SOI層17をゲート電極とし、シリコン酸化膜14をゲート酸化膜とし、P型単結晶シリコン基板13をソース・ドレイン領域として前述した保護回路8を構成するNチャネルMOSFET10が形成されている。このように、NチャネルMOSFET10はP型単結晶シリコン基板13に形成されている。

【0020】又、SOI層15、16、17を含めたシリコン酸化膜14の上は層間絶縁膜24で覆われるとともに、アルミ等による配線25が設けられている。さらに、図1、2に示すように、層間絶縁膜24の上には、アルミ等による複数の入力パッド7が配置されている。

【0021】又、図1に示すように、P型単結晶シリコン基板13（チップ）の外周部、つまり、各保護回路8のNチャネルMOSFET10の形成領域Z1の周囲におけるP型単結晶シリコン基板13の表面部には、基板電位用のP⁺不純物拡散領域26が環状に形成されている。P⁺不純物拡散領域26はP型不純物であるホウ素（B）等を打ち込むことにより形成したものである。このP⁺不純物拡散領域26はP単結晶シリコン基板13の表面から所定の深さを有している。さらに、P⁺不純物拡散領域26の全領域におけるその上のシリコン酸化膜14、SOI層、層間絶縁膜24にはコンタクトホール27が設けられ、このコンタクトホール27を通してアルミよりなる金属配線28が設けられている。この金属配線28はP⁺不純物拡散領域26と略同一寸法となっている。尚、金属配線28は必ずしもP⁺不純物拡散領域26と同一寸法とする必要はない。

【0022】このように、P⁺不純物拡散領域26がP型単結晶シリコン基板13における各保護回路8のNチャネルMOSFET10に接近した位置まで延設されている。より詳しくは、P⁺不純物拡散領域26が各保護

回路8のNチャネルMOSFET10に対しほぼ等距離になるように配置されている。

【0023】金属配線28は、層間絶縁膜24上の接続配線28aを介して接地端子用ボンディングパッド7aと接続されている。このようにして、P⁺不純物拡散領域26は金属配線28を通して接地端子用ボンディングパッド7aと接続され、基板電位として接地電位V_{SS}が印加される。

【0024】さらに、層間絶縁膜24の上は、パッド7(7aを含む)を除いてパッシベーション膜30にて覆われている。次に、このように構成した半導体集積回路装置の作用を説明する。

【0025】入力パッド7に静電気やサージ電圧等の高電圧が印加されると、保護回路8のNチャネルMOSFET10のソース/ドレイン間に電流が流れ、大電流が接地端子12に逃げ、内部回路1が保護される。

【0026】又、P型単結晶シリコン基板13における各保護回路8のNチャネルMOSFET10の形成領域Z1の周囲にP⁺不純物拡散領域26が延設され、このP⁺不純物拡散領域26を接地電位V_{SS}としたので、各NチャネルMOSFET10とP⁺不純物拡散領域26(即ち、基板電位用配線)との間の距離が均等となり、各NチャネルMOSFET10のソース・ドレイン直下の基板領域電位が等しくなる。つまり、図8に示した従来装置では基板電位用パッド39は半導体基板36(チップ)のある特定の場所に形成され、保護用MOSFET35のソース・ドレイン直下の基板領域の電位は、保護用MOSFET35と基板電位用パッド39との間の距離が保護用MOSFET35毎に異なっているため、図9に示すように、保護用MOSFET35毎に基板抵抗(R1, R2, R3...)分だけ電圧低下が起きている。しかしながら、本装置では、図5に示すように、NチャネルMOSFET10と接地端子用ボンディングパッド(基板電位用パッド)7aとの間の実質的な距離が各NチャネルMOSFET10で等しくなっているため、NチャネルMOSFET10毎の基板抵抗分の電圧低下は発生しない。よって、各NチャネルMOSFET10のソース・ドレイン直下の基板領域電位が等しくなり、各NチャネルMOSFET10の破壊耐量値も均等化される。

【0027】このように本実施例では、P型単結晶シリコン基板13における各保護回路8のNチャネルMOSFET10に接近した位置までP⁺不純物拡散領域26を延設し、このP⁺不純物拡散領域26を接地電位V_{SS}(所定電位)にした。より詳しくは、各保護回路8のNチャネルMOSFET10の形成領域Z1の周囲にP⁺不純物拡散領域26を延設した。その結果、各NチャネルMOSFET10とP⁺不純物拡散領域26(即ち、基板電位用配線)との間の距離の均等化が図られ、各NチャネルMOSFET10のソース・ドレイン直下のP

型単結晶シリコン基板13領域の電位も均等化が図られる。よって、各NチャネルMOSFET10の破壊耐量値も均等化される。このようにして、各保護回路8を構成する各NチャネルMOSFET10の特性を揃えることが可能となる。

【0028】又、P⁺不純物拡散領域26を、本来、不使用部分であるP型単結晶シリコン基板13(チップ)の外周部に延設したので、P⁺不純物拡散領域26を容易に配置することができる。又、P⁺不純物拡散領域26と接触する金属配線28をP型単結晶シリコン基板13(チップ)の外周部に延設したので、内部回路1(半導体集積回路)を阻害せずにコンタクトホール27の面積を確保することができる。

【0029】尚、この発明は上記実施例に限定されるものではなく、例えば、前記実施例では半導体基板としてP型のものを使用し、不純物拡散領域としてP型のものを使用した。が、半導体基板としてN型のものを使用し、不純物拡散領域としてN型不純物であるリン(P)等を打ち込んで形成してもよい。

【0030】又、P⁺不純物拡散領域26は、必ずしもNチャネルMOSFET10の形成領域Z1の周囲(P型単結晶シリコン基板13の外周部)に環状に設ける必要はなく、各NチャネルMOSFET10に接近した位置まで延びていればよい。

【0031】

【発明の効果】以上詳述したように請求項1, 2に記載の発明によれば、各保護回路を構成する各MOSFETの特性を揃えることが可能となる優れた効果を発揮する。

【0032】又、請求項3に記載の発明によれば、請求項1に記載の発明の効果に加え、不純物拡散領域を容易に配置することができる。

【図面の簡単な説明】

【図1】実施例の半導体集積回路装置の平面図である。

【図2】図1のA-A断面図である。

【図3】図1のB-B断面図である。

【図4】図1のC-C断面図である。

【図5】実施例の半導体集積回路装置の電氣的構成図である。

【図6】従来の半導体集積回路装置の電氣的構成図である。

【図7】従来の半導体集積回路装置の断面図である。

【図8】従来の半導体集積回路装置の平面図である。

【図9】従来の半導体集積回路装置の電氣的構成図である。

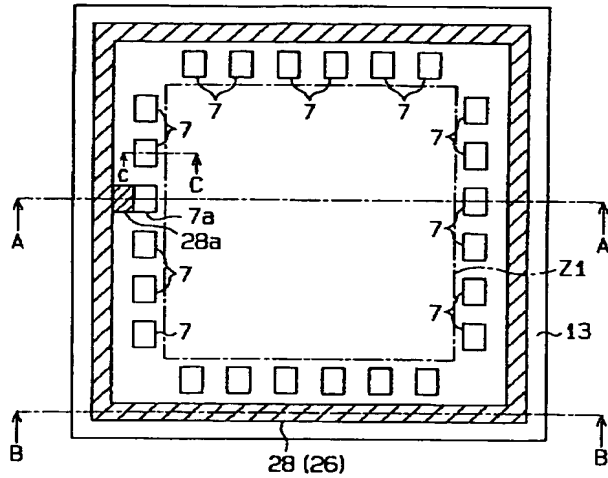
【符号の説明】

1…半導体集積回路としての内部回路、7…外部接続端子としての入力パッド、8…保護回路、10…NチャネルMOSFET、13…半導体基板としてのP型単結晶シリコン基板、14…絶縁体層としてのシリコン酸化

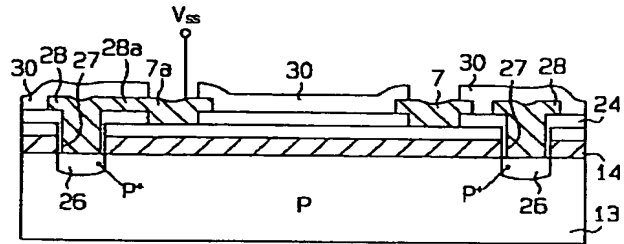
膜、15、16…半導体層としてのSOI層、26…P

+ 不純物拡散領域

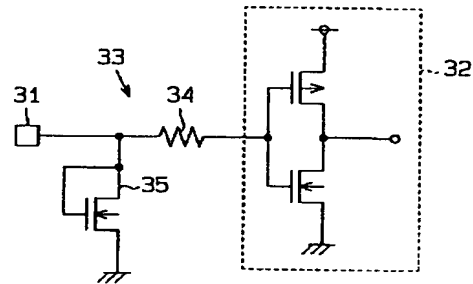
【図1】



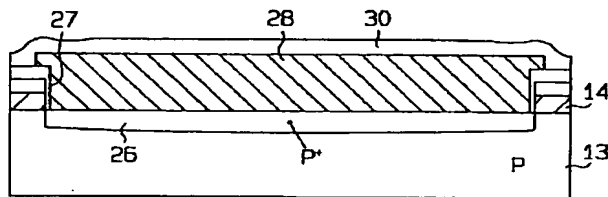
【図2】



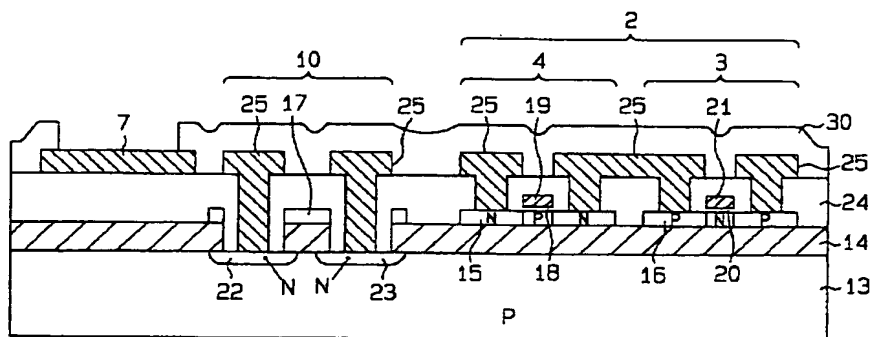
【図6】



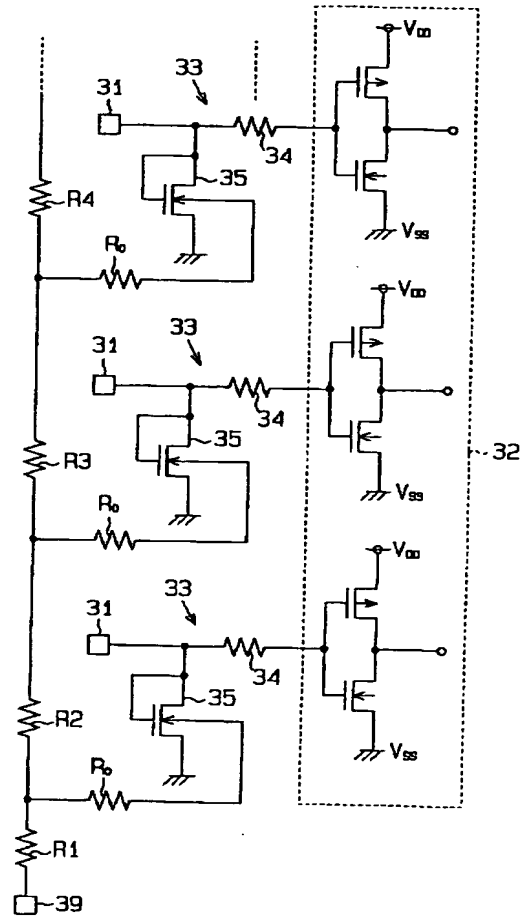
【図3】



【図4】



【図9】



フロントページの続き

(51) Int. Cl. 6

H O 1 L 27/092

29/786

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H O 1 L 29/78

6 2 3 A